

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月16日
Date of Application:

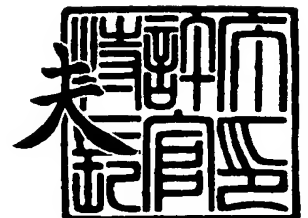
出願番号 特願2003-111242
Application Number:
[ST. 10/C]: [JP2003-111242]

出願人 ローム株式会社
Applicant(s):

2003年11月26日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3097673

【書類名】 特許願

【整理番号】 PR300084

【提出日】 平成15年 4月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/156

【発明の名称】 電源装置

【請求項の数】 6

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 竹村 興

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 梅本 清貴

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源装置

【特許請求の範囲】

【請求項 1】 入力電圧から所定変動許容範囲内の出力電圧を生成するに際し、出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するように制御することを特徴とする電源装置。

【請求項 2】 出力電流に応じた参照電圧を生成する出力電流検出手段と、前記参照電圧と所定の閾値との大小関係に基づいて出力信号レベルを変遷する比較器と、該比較器の出力信号に基づいて出力電圧の駆動制御を行う出力制御手段と、前記参照電圧にオフセットを与えるオフセット回路と、前記出力電圧と所定の基準電圧との比較結果に応じて前記オフセット量を制御する出力電圧比較回路と、を有して成る電源装置であって、

前記出力電圧比較回路は、入力電圧から所定の変動許容範囲内の出力電圧を生成するに際し、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧が低減するように、前記オフセット量を制御することを特徴とする電源装置。

【請求項 3】 前記出力電圧比較回路は、前記出力電圧と前記基準電圧を一致させるように動作するオペアンプと、該オペアンプの出力端電圧に応じて前記オフセット量を制御するとともに、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するための信号を生成する定インピーダンス制御部と、を有して成ることを特徴とする請求項 2 に記載の電源装置。

【請求項 4】 前記定インピーダンス制御部は、前記出力電圧が印加される前記オペアンプの一入力端に対して、該オペアンプの出力端との間に接続された第 1 抵抗と、前記出力電圧の印加端との間に接続された第 2 抵抗と、を有して成り、前記オペアンプの一入力端電圧と出力端電圧との間に、第 1 抵抗を介して、前記出力電流の増減に応じた電圧差を生じさせ、第 1 抵抗から第 2 抵抗に向けて流れる電流を変動させることを特徴とする請求項 3 に記載の電源装置。

【請求項 5】 前記定インピーダンス制御部は、前記オペアンプの出力端電圧と前記オフセット量との相関を決定する電流設定基準電圧として、前記基準電圧を用いることを特徴とする請求項 4 に記載の電源装置。

【請求項 6】前記出力電圧比較回路は、前記出力電圧と第 1 基準電圧との差電圧を増幅するアンプと、異なる 2 電位間に直列接続されて前記アンプの増幅電圧をバイアスする抵抗と、バイアスされた増幅電圧を電流変換して前記オフセット量の設定信号を生成する電圧／電流変換回路と、を有して成ることを特徴とする請求項 2 に記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧から所定の変動許容範囲内の出力電圧を生成する電源装置に関するものである。

【0002】

【従来の技術】

従来より、入力電圧 V_i から所定の変動許容範囲内の出力電圧 V_o を生成する電源装置では、出力電圧 V_o が所定の基準電圧 V_{ref} （出力電流 I_o の増減に依存しない固定値）となるように、出力電圧 V_o のフィードバック制御が行われていた（図 7（a）を参照）。

【0003】

【特許文献 1】

特開 2002-186254 号公報

【0004】

【発明が解決しようとする課題】

確かに、上記構成から成る電源装置であれば、入力電圧 V_i や出力電流 I_o が少々変動したとしても、変動許容範囲内の出力電圧 V_o を負荷に供給することが可能である。

【0005】

しかしながら、上記構成から成る電源装置では、出力電圧 V_o のフィードバックループが追従不可能な出力電流 I_o の急変が生じた場合、出力電圧 V_o に大きな変動が生じ、最悪の場合には出力電圧 V_o が変動許容範囲内に収まらなくなるという課題があった（図 7（b）を参照）。特に、近年では、負荷となる半導体

チップ（CPUなど）の大電流化や高速動作化が進み、急激な負荷変動時にも安定した出力電圧 V_o を生成する必要があるため、上記課題の解決が重要となっていた。また、上記構成から成る電源装置では、出力電圧 V_o が出力電流 I_o の増減に依存しない基準電圧 V_{ref} となるようにフィードバック制御されるため、出力電流 I_o の増大時には、負荷の消費電力が大きくなるという課題もあった。

【0006】

なお、従来より、上記課題を解決するための技術（例えば特許文献1を参照）が数多く開示・提案されているが、それらの従来技術はいずれも、フィードバックループの応答性を高めることで課題解決を図った構成であり、出力電圧 V_o を出力電流 I_o の増減と無関係な固定値にフィードバック制御する点については、上記の従来構成と何ら変わりがなかった。そのため、このような構成による出力電圧 V_o の過渡特性向上には限界があり、出力電流 I_o の急変時には、最悪の場合、出力電圧 V_o が変動許容範囲を超えるおそれがあった。また、出力電流 I_o の増大時に負荷の消費電力が大きくなるという課題も解消されていなかった。

【0007】

本発明は、上記の問題点に鑑み、出力電流急変に対する出力電圧の過渡特性向上と出力電流増大時の消費電力低減を共に実現することが可能な電源装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の目的を達成するために、本発明に係る電源装置は、入力電圧から所定変動許容範囲内の出力電圧を生成するに際し、出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するように制御する構成としている。より具体的に述べると、本発明に係る電源装置は、出力電流に応じた参照電圧を生成する出力電流検出手段と、前記参照電圧と所定の閾値との大小関係に基づいて出力信号レベルを変遷する比較器と、該比較器の出力信号に基づいて出力電圧の駆動制御を行う出力制御手段と、前記参照電圧にオフセットを与えるオフセット回路と、前記出力電圧と所定の基準電圧との比較結果に応じて前記オフセット量を制御する出力電圧比較回路と、を有して成る電源装置であって、前記出力電圧比

較回路は、入力電圧から所定の変動許容範囲内の出力電圧を生成するに際し、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧が低減するように前記オフセット量を制御する構成としている。

【0009】

なお、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と前記基準電圧を一致させるように動作するオペアンプと、該オペアンプの出力端電圧に応じて前記オフセット量を制御するとともに、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するための信号を生成する定インピーダンス制御部と、を有して成る構成にするとよい。

【0010】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記出力電圧が印加される前記オペアンプの一入力端に対して、該オペアンプの出力端との間に接続された第1抵抗と、前記出力電圧の印加端との間に接続された第2抵抗と、を有して成り、前記オペアンプの一入力端電圧と出力端電圧との間に、第1抵抗を介して、前記出力電流の増減に応じた電圧差を生じさせ、第1抵抗から第2抵抗に向けて流れる電流を変動させる構成にするとよい。

【0011】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記オペアンプの出力端電圧と前記オフセット量との相関を決定する電流設定基準電圧として、前記基準電圧を用いる構成にするとよい。

【0012】

一方、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と第1基準電圧との差電圧を増幅するアンプと、異なる2電位間に直列接続されて前記アンプの増幅電圧をバイアスする抵抗と、バイアスされた増幅電圧を電流変換して前記オフセット量の設定信号を生成する電圧／電流変換回路と、を有して成る構成にしてもよい。

【0013】

【発明の実施の形態】

図1は本発明に係る電源装置の第1実施形態を示す回路図である。本図に示す

ように、本実施形態の電源装置は、デジタル／アナログコンバータ 1（以下、DAC [Digital/Analog Converter] 1 と呼ぶ）と、出力電圧比較回路 2 と、オフセット回路 3 と、出力電流コンパレータ 4 と、リセット優先型 SR フリップフロップ 5 と、出力トランジスタ駆動回路 6（以下、ドライバ 6 と呼ぶ）と、Nチャネル MOS 電界効果トランジスタ 7 a、7 b（以下、FET 7 a、7 b と呼ぶ）と、出力コイル 8 と、出力コンデンサ 9 と、センス抵抗 10 と、を有して成り、スイッチ素子として異なる 2 電位間（入力電位 V_i ・接地電位 GND 間）に直列接続された一対の FET 7 a、7 b の接続ノードから、LC フィルタ（出力コイル 8 と出力コンデンサ 9）を介して、所望の出力電圧 V_o を出力端子 T o から得る同期整流型の DC／DC コンバータである。

【0014】

DAC 1 は、装置外部から入力されるデジタル信号をアナログ変換して、出力電圧 V_o を決定するための基準電圧 V_{ref} を生成する。なお、出力電流 I_o を 0 としたときには、該基準電圧 V_{ref} が出力電圧 V_o となる（図 4（a）を参照）。出力電圧比較回路 2 は、オペアンプ 2 a と、定インピーダンス制御部 2 b（以下 CI [Constant Impedance] 制御部 2 b と呼ぶ）と、を有して成り、基準電圧 V_{ref} と出力電圧 V_o との比較結果に基づいて、オフセット回路 3 に与える電流設定信号 S_i を生成する。なお、出力電圧比較回路 2 の内部構成や動作については、後ほど詳細な説明を行うことにする。オフセット回路 3 は、出力電圧比較回路 2 で生成された電流設定信号 S_i に基づいて、出力電流コンパレータ 4 の 2 入力端間に所定のオフセットを与える。

【0015】

出力電流コンパレータ 4 の出力端は、SR フリップフロップ 5 のリセット入力端（R）に接続されている。SR フリップフロップ 5 のセット入力端（S）は、クロック信号 CLK（例えば、200 [kHz] ～ 1 [MHz]）が入力されるクロック端子に接続されており、出力端（Q）はドライバ 6 の入力端に接続されている。ドライバ 6 は、2 つの出力端を有して成り、各出力端は FET 7 a、7 b の各ゲートに接続されている。

【0016】

FET7aのドレインは入力電圧ラインに接続されており、FET7bのソースは接地されている。FET7aのソースとFET7bのドレインは互いに接続されており、その接続ノードは、出力コイル8を介してセンス抵抗10の一端に接続されている。センス抵抗10の他端は、出力端子Toに接続される一方、出力コンデンサ9を介して基準電位に接続されている。また、センス抵抗10の一端(L側)は出力電流コンパレータ4の反転入力端(−)に接続されており、他端(To側)はオフセット回路3を介して出力電流コンパレータ4の非反転入力端(+)に接続されている。従って、出力電流コンパレータ4は、出力電流Ioに応じて変動するセンス抵抗10の両端電圧Vs(オフセット回路3のオフセット分を含む)と所定閾値との大小関係に基づいて、その出力レベルを変遷する。

【0017】

ドライバ6は、SRフリップフロップ5へのリセット信号がローレベルでセット信号がハイレベルのとき、FET7aをオン状態、FET7bをオフ状態とする。また、リセット信号がローレベルでセット信号がローレベルのときには、FET7aをオフ状態、FET7bをオン状態とする。なお、リセット信号がハイレベルのときは、セット信号に関係なくFET7aをオフ状態とする(FET7bは任意)。以上のような構成により、センス抵抗10の両端電圧Vsが所定閾値に達したときには、SRフリップフロップ5へのリセット信号がハイレベルとなり、FET7aのスイッチングは停止される。

【0018】

続いて、図2を参照しながら、出力電圧比較回路2及びオフセット回路3の内部構成について詳細な説明を行う。先に述べた通り、本実施形態の出力電圧比較回路2は、オペアンプ2aと、CI制御部2bと、を有して成る。オペアンプ2aは、pnp型バイポーラトランジスタP1、P2と、npn型バイポーラトランジスタN1、N2と、定電流源I1と、を有して成り、CI制御部2bは、pnp型バイポーラトランジスタP3～P6と、npn型バイポーラトランジスタN3～N6と、増幅器A1、A2と、抵抗R1～R4と、を有して成る。また、オフセット回路3は、pnp型バイポーラトランジスタP7、P8と、定電流源I2、I3と、抵抗R5、R6と、を有して成る。

【0019】

トランジスタP1、P2のエミッタは互いに接続されており、その接続ノードは定電流源I1を介して電源ラインに接続されている。トランジスタP1、P2のコレクタはトランジスタN1、N2のコレクタに各々接続されている。オペアンプ2aの非反転入力端(+)に相当するトランジスタP1のベースは、DAC1(不図示)の出力端に接続されており、基準電圧Vrefが印加されている。オペアンプ2aの反転入力端(-)に相当するトランジスタP2のベースは、抵抗R1を介して増幅器A1の非反転入力端(+)に接続されるとともに、抵抗R2を介して電源装置の出力端子To(不図示)に接続されている。オペアンプ2aの出力端に相当するトランジスタP2、N2のコレクタを結ぶ接続ノードは、増幅器A1の非反転入力端(+)に接続されている。トランジスタN1、N2のエミッタは互いに接続されており、その接続ノードは接地されている。トランジスタN1、N2のベースは互いに接続されており、その接続ノードはトランジスタN1のコレクタに接続されている。

【0020】

増幅器A1の出力端は、トランジスタN3のベースに接続されている。トランジスタN3のエミッタは、増幅器A1の反転入力端(-)に接続される一方、抵抗R3を介して接地されている。トランジスタN3のコレクタは、トランジスタP3のコレクタに接続されている。トランジスタP3、P4のエミッタは互いに接続されており、その接続ノードは、電源ラインに接続されている。トランジスタP3、P4のベースは互いに接続されており、その接続ノードはトランジスタP3のコレクタに接続されている。トランジスタP4のコレクタは、抵抗R5を介して、トランジスタN6のコレクタに接続されている。

【0021】

トランジスタN5、N6のエミッタは互いに接続されており、その接続ノードは接地されている。トランジスタN5のコレクタは、トランジスタP6のコレクタに接続されている。トランジスタN5、N6のベースは互いに接続されており、その接続ノードはトランジスタN5のコレクタに接続されている。トランジスタP5、P6のエミッタは互いに接続されており、その接続ノードは電源ラインに

接続されている。トランジスタ P5 のコレクタは、トランジスタ N4 のコレクタに接続されている。トランジスタ P5、P6 のベースは互いに接続されており、その接続ノードはトランジスタ P5 のコレクタに接続されている。トランジスタ N4 のエミッタは、増幅器 A2 の反転入力端（－）に接続される一方、抵抗 R4 を介して接地されている。トランジスタ N4 のベースは、増幅器 A2 の出力端に接続されている。増幅器 A2 の非反転入力端（＋）は、DAC1（図1 参照）の出力端に接続され、基準電圧 V_{ref} が印加されている。

【0022】

一方、センス抵抗 10（図1 参照）の両端は、各々トランジスタ P7、P8 のベースに接続されている。トランジスタ P7、P8 のコレクタは、いずれも接地されている。トランジスタ P7 のエミッタは、抵抗 R5 と定電流源 I2 を介して電源ラインに接続されている。定電流源 I2 と抵抗 R5 との接続ノードは、トランジスタ P4 のコレクタに接続される一方、出力電流コンパレータ 4 の非反転入力端（＋）にも接続されている。抵抗 R5 とトランジスタ P7 のエミッタとの接続ノードは、トランジスタ N6 のコレクタに接続されている。トランジスタ P8 のエミッタは、抵抗 R6 と定電流源 I3 を介して電源ラインに接続されている。定電流源 I3 と抵抗 R6 との接続ノードは出力電流コンパレータ 4 の反転入力端（－）に接続されている。

【0023】

上記構成から成る出力電圧比較回路 2 において、出力電流 I_o が増大してトランジスタ P4 のコレクタ電流 i_1 が増えると、CI 制御部 2b を構成する増幅器 A1 の反転入力電圧が上昇し、それに追従して増幅器 A1 の非反転入力電圧（オペアンプ 2a の出力電圧 V_b ）が上昇する。従って、オペアンプ 2a の反転入力電圧 V_a と出力電圧 V_b との間には、抵抗 R1 を介して、出力電流 I_o の増減に応じた電圧差 ΔV が生じることになる。

【0024】

このとき、オペアンプ 2a は、反転入力電圧 V_a と非反転入力電圧（基準電圧 V_{ref} ）を一致させるように動作するので、抵抗 R1 から抵抗 R2 に向けて流れる電流が増加し、出力電圧 V_o は、基準電圧 V_{ref} から所定値（ $\Delta V / R1$

×R2)だけ低下する(図3(a)を参照)。すなわち、本実施形態の電源装置では、出力電流 I_o が急変した場合でも、出力電圧 V_o は出力電流 I_o に応じた電圧値に変遷後、該電圧値で維持されることになるので(図3(b)を参照)、出力電圧 V_o に大きな変動が生じることはなく、出力電流 I_o の急変に対する出力電圧 V_o の過渡特性向上を実現することが可能となる。また、本実施形態の電源装置では、出力電圧 V_o が出力電流 I_o の増大に応じて低減されるので、出力電流 I_o の増大時の消費電力低減を実現することも可能となる。

【0025】

なお、本実施形態の電源装置は、上記構成によって、オペアンプ2aの入力電圧自体にオフセットを生じさせることなく、出力電流 I_o の増大に伴って所定の変動許容範囲内で出力電圧 V_o を低減する構成であるため、オペアンプ2aの入力電圧差を小さく設定することが可能となる。言い換えれば、オペアンプ2aとして、各入力電圧を同電位とした理想オペアンプに近いものを用いることが可能となる。このような構成とすることにより、オペアンプ2aのゲインを高く取れるようになるので、フィードバックループの応答性を高めて、出力電流 I_o の急変に対する出力電圧 V_o の過渡特性向上を実現することが可能となる。

【0026】

また、本実施形態の電源装置において、出力電流 I_o に対する出力電圧 V_o のDC特性(図3(a)を参照)は、上記した通り、抵抗 R_1 、 R_2 の比のみで設定することが可能である上、オペアンプ2aのゲイン特性にも依存しないため、そのばらつき要因が極めて少ないと言える。従って、本実施形態の電源装置であれば、出力電圧 V_o の変動許容範囲が狭くても(例えば、 ± 50 [mV])、その変動許容範囲内で高精度に出力電圧 V_o を可変制御することが可能となる。

【0027】

また、本実施形態の電源装置は、オペアンプ2aの出力電圧 V_b (すなわち、出力電流 I_o)と電流設定信号 S_i (= $i_1 + i_2$)との相関を決定する電流設定基準電圧(トランジスタP4、N6の各コレクタ電流 i_1 、 i_2 が互いに等しく、電流設定信号 S_i が0となるときのおペアンプ2aの出力電圧 V_b に相当、図4を参照)として、出力電圧 V_o を決定する基準電圧 V_{ref} (或いは、該基

準電圧 V_{ref} から生成した電圧) を用いる構成である。このような構成とすることにより、基準電圧 V_{ref} が変化した場合であっても、出力電流 I_o に対する電流設定信号 S_i の相関特性には何ら影響を及ぼさずに済む。特に、本実施形態のように基準電圧 V_{ref} を可変制御することが可能な電源装置には、本構成を適用することが望ましい。

【0028】

なお、上記の実施形態では、本発明をスイッチングレギュレータに適用した場合を例に挙げて説明を行ったが、本発明の構成はこれに限定されることはなく、図5に示すように、入出力端子間に FET7c を直列接続して成るシリーズレギュレータにも適用することが可能である。

【0029】

また、図6に出力電圧比較回路2'として示すように、前出の出力電圧比較回路2に代えて、第1基準電圧 V_{ref1} と出力電圧 V_o との差電圧を増幅する出力電圧比較アンプ11と、予め設定された第2基準電圧 V_{ref2} と接地電位 GND との間に直列接続されて出力電圧比較アンプ11の増幅電圧をバイアスする抵抗12、13と、バイアスされた増幅電圧を電流変換して電流設定信号 S_i を生成する電圧／電流変換回路14と、を有して成り、上記した第2基準電圧 V_{ref2} とバイアス抵抗12、13の抵抗値に応じて出力電圧比較アンプ11の出力ゲインを落とすことで、電流設定信号 S_i の変化に応じて第1基準電圧 V_{ref} と出力電圧 V_o との間に差を生じさせる構成としても、先に説明した第1、第2実施形態と略同様の効果を得ることが可能である。

【0030】

ただし、上記構成から成る電源装置は、第1、第2実施形態に比べて簡易な構成で実現可能である、といった長所を有する反面、(a) 出力電圧比較アンプ11の入力電圧レンジを大きく取る必要がある、(b) 抵抗 R_1 、 R_2 の抵抗値設定に際して、その比(中点電圧)と絶対値の双方を考慮する必要があり、抵抗値ばらつきに大きく依存する、(c) 出力電圧比較アンプ11のゲイン特性ばらつきに大きく依存し温度特性も悪い、(d) 出力電圧比較アンプ11のゲインを低く設定する必要があり、フィードバックループの高速応答性が悪い、といった短

所を併せ持つため、当該構成の採用に際しては、相当の注意が必要である。例えば、入力電圧の変動許容範囲が狭い負荷に対して電源の供給を行うのであれば、本実施形態の電源装置よりも、前出した第1、第2実施形態の電源装置の方が好適である。

【0031】

なお、以上の説明では、出力電圧比較回路2の出力電流を用いて、オフセット回路3で電圧に変換する場合のみを説明したが、これに限定されることはなく、電流設定信号 S_i としてデジタル的な信号を用いるようにしてもよい。

【0032】

【発明の効果】

上記したように、本発明に係る電源装置は、入力電圧から所定変動許容範囲内の出力電圧を生成するに際し、出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するように制御する構成としている。より具体的に述べると、本発明に係る電源装置は、出力電流に応じた参照電圧を生成する出力電流検出手段と、前記参照電圧と所定の閾値との大小関係に基づいて出力信号レベルを変遷する比較器と、該比較器の出力信号に基づいて出力電圧の駆動制御を行う出力制御手段と、前記参照電圧にオフセットを与えるオフセット回路と、前記出力電圧と所定の基準電圧との比較結果に応じて前記オフセット量を制御する出力電圧比較回路と、を有して成る電源装置であって、前記出力電圧比較回路は、入力電圧から所定の変動許容範囲内の出力電圧を生成するに際し、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧が低減するように、前記オフセット量を制御する構成としている。このような構成であれば、出力電流急変に対する出力電圧の過渡特性向上と出力電流増大時の消費電力低減を共に実現することが可能となる。

【0033】

なお、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と前記基準電圧を一致させるように動作するオペアンプと、該オペアンプの出力端電圧に応じて前記オフセット量を制御するとともに、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するための信号を生

成する定インピーダンス制御部と、を有して成る構成にするとよい。このようにオペアンプの入力電圧自体にオフセットを生じさせることなく、出力電流の増大に伴って所定の変動許容範囲内で出力電圧を低減する構成とすることにより、オペアンプの入力電圧差を小さく設定することができるので、オペアンプとして各入力電圧を同電位とした理想オペアンプに近いものを用いることが可能となる。従って、オペアンプのゲインを高く取れるようになるので、フィードバックループの応答性を高めて、出力電流急変に対する出力電圧の過渡特性向上を実現することが可能となる。

【0034】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記出力電圧が印加される前記オペアンプの一入力端に対して、該オペアンプの出力端との間に接続された第1抵抗と、前記出力電圧の印加端との間に接続された第2抵抗と、を有して成り、前記オペアンプの一入力端電圧と出力端電圧との間に、第1抵抗を介して、前記出力電流の増減に応じた電圧差を生じさせ、第1抵抗から第2抵抗に向けて流れる電流を変動させる構成にするとよい。本構成を採用した場合、出力電流に対する出力電圧のDC特性は、第1、第2抵抗の比のみで設定することができる上、オペアンプのゲイン特性にも依らないため、そのばらつき要因が極めて少なくなる。従って、出力電圧の変動許容範囲が狭くても該変動許容範囲内で高精度に出力電圧を可変制御することが可能となる。

【0035】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記オペアンプの出力端電圧と前記オフセット量との相関を決定する電流設定基準電圧として、前記基準電圧を用いる構成にするとよい。このような構成とすることにより、基準電圧が変化した場合であっても、出力電流に対するオフセット量の相関特性には何ら影響を及ぼさずに済む。

【0036】

一方、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と第1基準電圧との差電圧を増幅するアンプと、異なる2電位間に直列接続されて前記アンプの増幅電圧をバイアスする抵抗と、バイアスされた増幅電圧

を電流変換して前記オフセット量の設定信号を生成する電圧／電流変換回路と、
を有して成る構成にしてもよい。このような構成とすることにより、上記した他
構成から成る電源装置よりも簡易な構成で、略同様の効果を得ることが可能とな
る。ただし、本構成から成る電源装置は、他構成から成る電源装置に比べて種々
の短所を併せ持つため、当該構成の採用に際しては、相当の注意が必要である。

【図面の簡単な説明】

- 【図 1】 本発明に係る電源装置の第 1 実施形態を示す回路図である。
- 【図 2】 出力電圧比較回路 2 及びオフセット回路 3 を示す回路図である。
- 【図 3】 本発明に係る電源装置の DC 特性及び過渡特性を示す図である。
- 【図 4】 出力電流 I_o に対する電流設定信号 S_i の相関特性図である。
- 【図 5】 本発明に係る電源装置の第 2 実施形態を示す回路図である。
- 【図 6】 本発明に係る電源装置の第 3 実施形態を示す回路図である。
- 【図 7】 従来の電源装置の DC 特性及び過渡特性を示す図である。

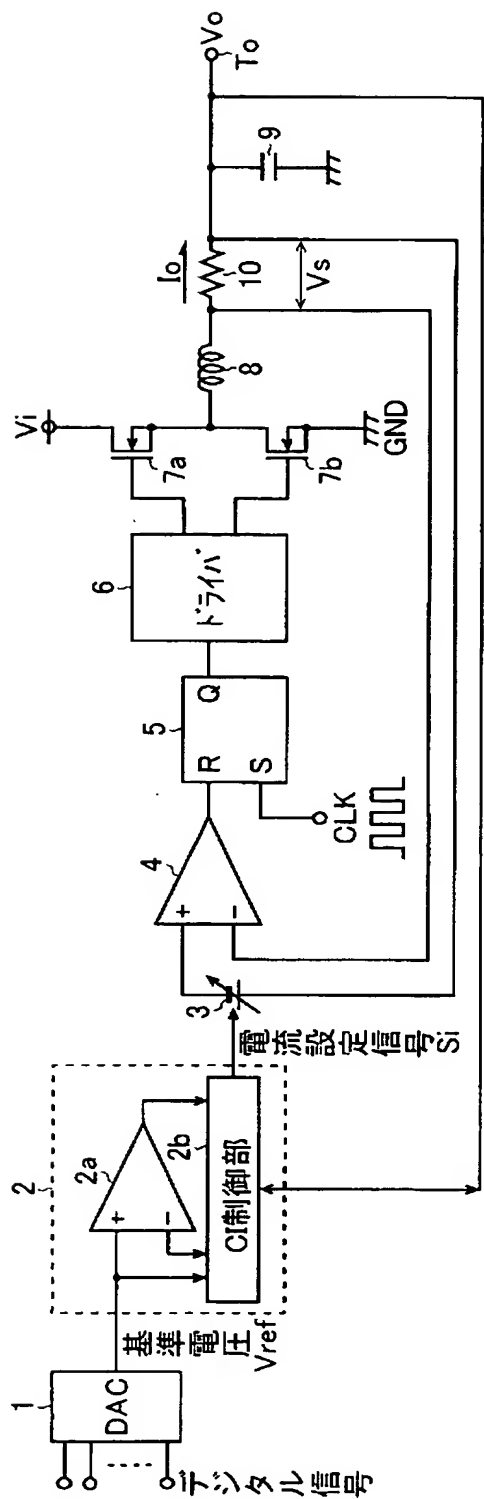
【符号の説明】

- 1 デジタル／アナログコンバータ (DAC)
- 2、2' 出力電圧比較回路
- 2a オペアンプ
- 2b 定インピーダンス制御部 (CI 制御部)
- 3 オフセット回路
- 4 出力電流コンパレータ
- 5 SR フリップフロップ
- 6 出力トランジスタ駆動回路 (ドライバ)
- 7a、7b Nチャネル MOS 電界効果トランジスタ (FET)
- 8 出力コイル
- 9 出力コンデンサ
- 10 センス抵抗
- 11 出力電圧比較アンプ
- 12、13 抵抗
- 14 電圧／電流変換回路

P 1 ～ P 8 p n p 型バイポーラトランジスタ
N 1 ～ N 6 n p n 型バイポーラトランジスタ
I 1 ～ I 3 定電流源
A 1、A 2 増幅器
R 1 ～ R 6 抵抗

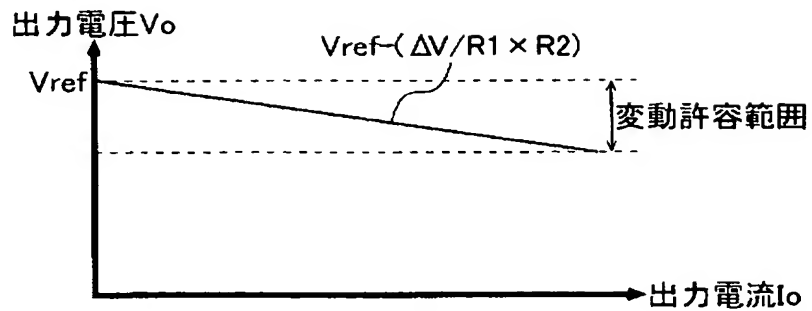
【書類名】 図面

【図 1】

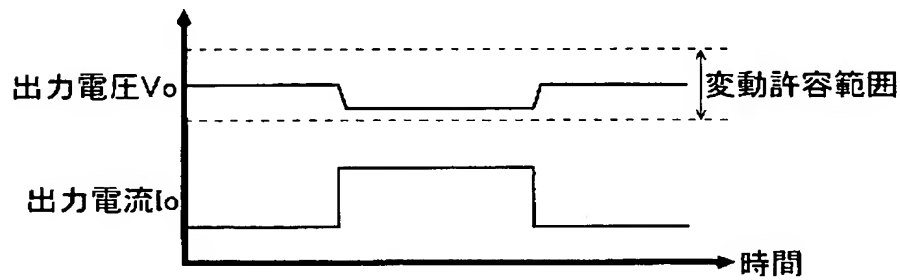


【図 3】

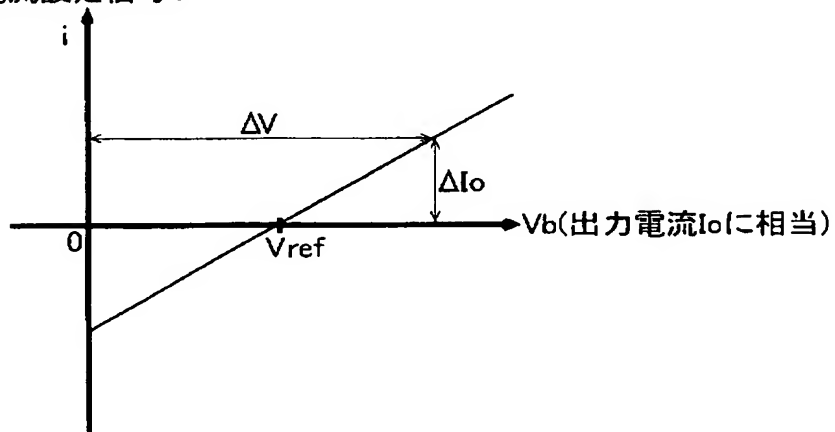
(a) DC特性



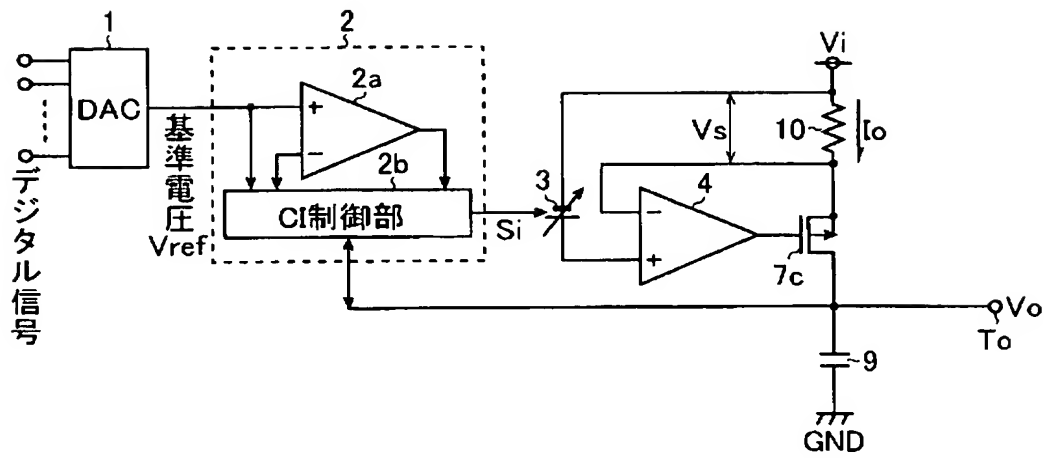
(b) 過渡特性



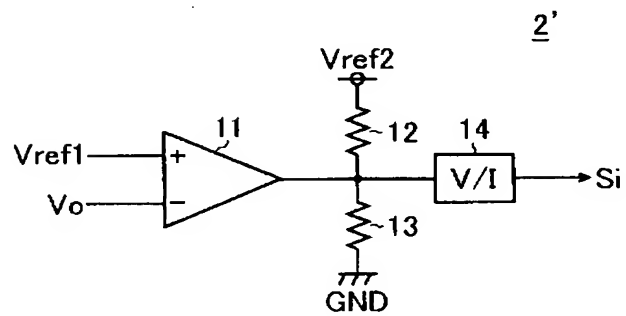
【図 4】

電流設定信号 S_i 

【図 5】

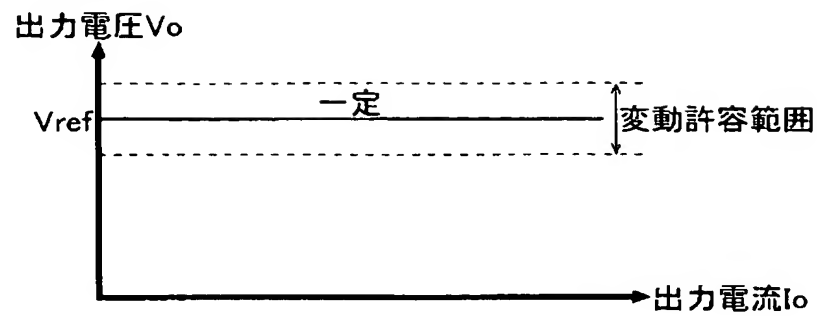


【図 6】

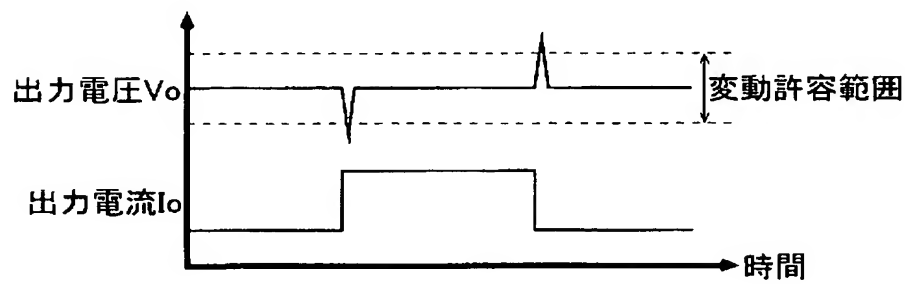


【図 7】

(a) DC特性



(b) 過渡特性



【書類名】 要約書

【要約】

【課題】 本発明は、出力電流急変に対する出力電圧の過渡特性向上と出力電流増大時の消費電力低減を共に実現可能な電源装置を提供することを目的とする。

【解決手段】 本発明に係る電源装置は、入力電圧から所定の変動許容範囲内の出力電圧 V_o を生成するに際し、出力電流 I_o の増大に伴って前記変動許容範囲内で出力電圧 V_o を低減する構成としている。

【選択図】 図 3



特願 2 0 0 ' 3 - 1 1 1 2 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社